

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-030405

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

H03K 19/086
H03K 3/286

(21)Application number : 05-195166

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 12.07.1993

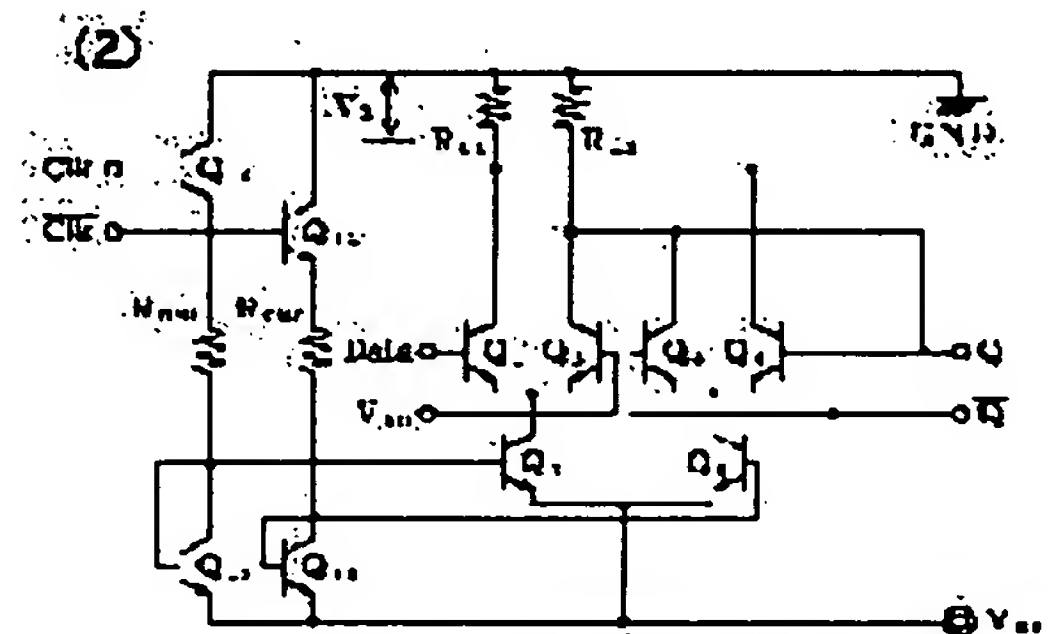
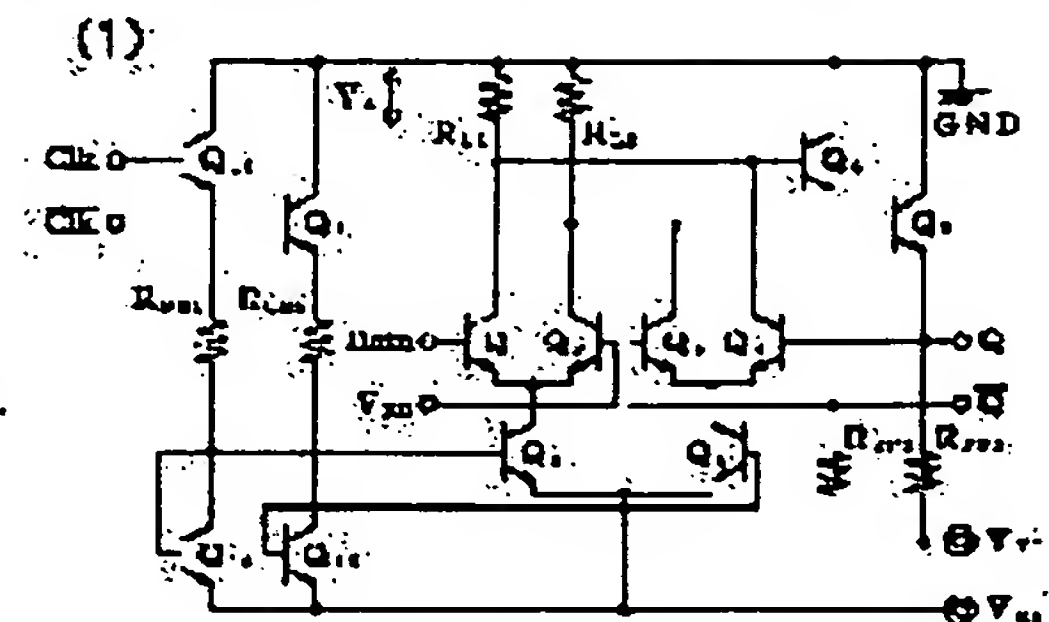
(72)Inventor : ICHINO HARUHIKO
KISHINE KEIJI

(54) ECL CIRCUIT

(57)Abstract:

PURPOSE: To omit a constant power supply circuit and to attain low voltage by controlling the current switching operation of the lowermost differential pair of an emitter-coupled logic(ECL) circuit by plural current mirror circuits.

CONSTITUTION: A constant current source is omitted, the emitter terminals of a differential pair (Q5, Q6) are directly connected to negative side power supply voltage V and current control circuits (Q12, RCM1), (Q13, RCM2) are respectively connected to the emitter-follower circuit parts of respective clock input terminals. In this constitution, the transistor(TR) Q12, the resistor RCM1, and the TR Q5 constitute a current mirror circuit and the TR Q13, the resistor RCM2, and the TR Q6 constitute another current mirror circuit. The current control circuits (Q12, RCM1), (Q13, RCM2) control the current switching operation of the differential pair (Q5, Q6). Namely the current switching operation of the lowermost differential pair (Q5, Q6) of the ECL circuit is controlled by these current mirror circuits.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 3 0 4 0 5

(43) 公開日 平成 7 年 (1995) 1 月 3 1 日

(51) Int. Cl. ⁶
H03K 19/086
3/286

識別記号 庁内整理番号
8842-5
F 8124-5

FI

技術表示箇所

審査請求 未請求 請求項の数 1 FD (全 8 頁)

(21) 出願番号 特願平 5 - 1 9 5 1 6 6
(22) 出願日 平成 5 年 (1993) 7 月 1 2 日

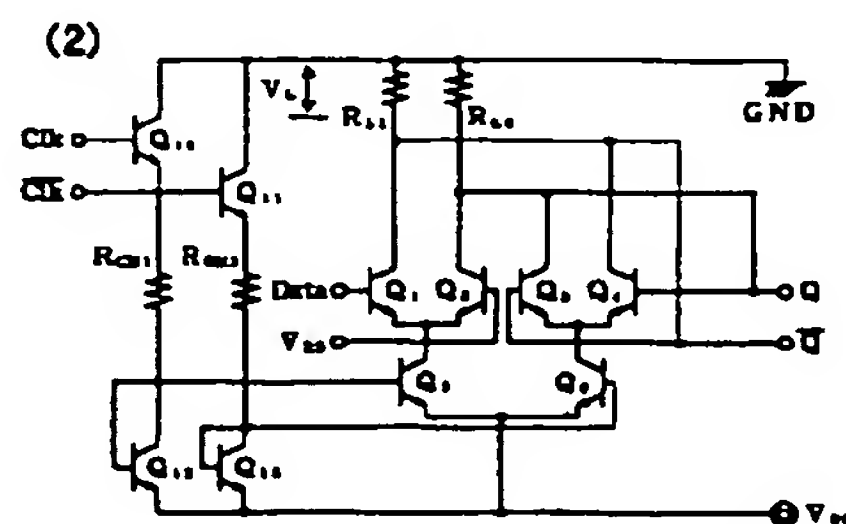
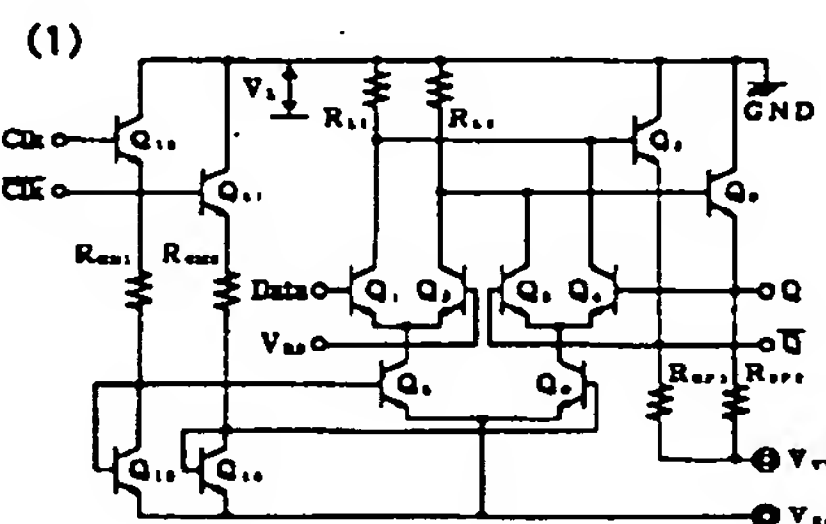
(71) 出願人 000004226
日本電信電話株式会社
東京都千代田区内幸町一丁目 1 番 6 号
(72) 発明者 市野 晴彦
東京都千代田区内幸町 1 丁目 1 番 6 号 日
本電信電話株式会社内
(72) 発明者 岸根 桂路
東京都千代田区内幸町 1 丁目 1 番 6 号 日
本電信電話株式会社内
(74) 代理人 弁理士 川久保 新一

(54) 【発明の名称】 ECL 回路

(57) 【要約】

【目的】 より低電圧電源で動作が可能な ECL 回路を提供することを目的とするものである。

【構成】 1 段以上の縦積構成からなる ECL 回路において、最下段側すなわち最も低電位側にある差動対のスイッチング動作をカレントミラー回路で制御するものである。



K2718

【特許請求の範囲】

【請求項1】 1段以上の縦積構成からなるECL回路において、最も低電位側に設けられている差動対のスイッチング動作を、カレントミラー回路で制御することを特徴とするECL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ECL (Emitter-Coupled Logic) 回路の低電圧化、低消費電力化に関するものである。

【0002】

【従来の技術】図5(1)、(2)は、従来の縦積ECL回路のうちで、データラッチ(以下、「Dラッチ」という)回路の構成例を示す図である。

【0003】図5(1)に示す回路において、上段差動対(Q₁、Q₂)はデータの書込みスイッチ、上段差動対(Q₃、Q₄)はデータの保持スイッチ、下段差動対(Q₅、Q₆)はクロックスイッチ、抵抗(R_{L1}、R_{L2})は論理振幅発生用負荷抵抗であり、これらの他に、定電流源(Q₇、R_{CS1})、データのレベルシフト用エミッタフォロア(Q₈、Q₉、R_{EF1}、R_{EF2})、クロックのレベルシフト用エミッタフォロア(Q₁₀、Q₁₁、R_{EF3}、R_{EF4})が設けられ、クロックは差動信号を仮定している。

【0004】また、V_{DD}はデータ信号の参照電圧、V_{CS}は定電流源用電圧、V_{EE1}は第1の負側電源電圧、V_{EE2}は第2の負側電源電圧であり、上記従来例においては、最上位側の電源電圧はグランドとしている。通常では、負側電源電圧V_{EE1}は、-4.5Vまたは-5.2V程度の値に設定され、負側電源電圧V_{EE2}は、-2.0V程度の値に設定される。

【0005】

【発明が解決しようとする課題】上記従来例において、低電圧化を考えた場合、定電流源トランジスタQ₇を飽和させないという条件で最低電圧が決まる。すなわち、トランジスタの飽和電圧をV_{SA1}、負荷抵抗で発生する論理振幅をV_L、定電流源抵抗R_{CS1}で発生する電圧をV_{CS}、トランジスタのオン電圧をV_{BE}とすると、クロック信号のハイレベルは-2V_{BE}であり、定電流源トランジスタQ₇のコレクタ電位は-3V_{BE}となる。

【0006】したがって、図5(1)に示す従来例において、定電流源トランジスタQ₇が飽和しない条件は、 $-3V_{BE} - V_{SA1} - V_{CS} > V_{SA1}$ ……(1)

であり、負側電源電圧V_{EE1}については、

$$V_{EE1} < -(3V_{BE} + V_{SA1} + V_{CS}) \dots\dots (2)$$

となる関係式が成立する。ここで、V_{BE}=0.9V、V_{CS}=0.25V、V_{SA1}=0.4Vとすると、V_{EE1}<-3.35Vの電源電圧が必要とされる。

【0007】また、図5(2)に示す従来例は、図5

(1)に示す従来例と比較すると、データのレベルシフ

ト用エミッタフォロア(Q₈、Q₉、R_{EF1}、R_{EF2})を省略した構成であり、つまり、データレベルが負荷抵抗R_Lで発生したレベルと等しい場合の構成である。この場合は、

$$V_{EE1} < -(2V_{BE} + V_{SA1} + V_{CS}) \dots\dots (3)$$

となる関係式が成立し、V_{EE1}<-2.45Vの電源電圧が必要とされる。

【0008】すなわち、従来の縦積ECL回路構成において、図5(1)に示す従来の縦積ECL回路構成においては、負側電源電圧V_{EE1}の絶対値を3.35V以下にするような低電圧化を図ることができないという問題があり、また、図5(2)に示す従来の縦積ECL回路構成においては、負側電源電圧V_{EE1}の絶対値を2.45V以下にするような低電圧化を図ることができないという問題がある。

【0009】本発明は、より低電圧電源で動作が可能なECL回路を提供することを目的とするものである。

【0010】

【課題を解決するための手段】本発明は、1段以上の縦積構成からなるECL回路において、最下段側すなわち最も低電位側にある差動対のスイッチング動作をカレントミラー回路で制御するものである。

【0011】

【作用】本発明は、ECL回路の最下段の差動対(図5における差動対Q₅、Q₆)の電流スイッチ動作をカレントミラー回路で制御することによって、定電流源回路(図5におけるQ₇、R_{CS1})を省略することができ、この定電流源回路に必要とされた電圧V_{SA1}+V_{CS}分だけ低電圧化することができる。

【0012】

【実施例】図1(1)、(2)は、本発明の第1実施例を示す回路図である。

【0013】図1(1)、(2)に示す実施例は、縦積ECL回路のうちのデータラッチ(以下、「Dラッチ」という)回路であり、それぞれ、図5(1)、(2)に示す従来例に対応した回路である。

【0014】図1(1)、(2)に示す第1実施例は、図5(1)、(2)に示す従来例と比較すると、定電流源(Q₇、R_{CS1})が省略され、差動対(Q₅、Q₆)のエミッタ端子を直接、負側電源電圧V_{EE1}に接続し、クロック入力端子のエミッタフォロア回路部に、カレント制御回路(Q₁₁、R_{CV1})、(Q₁₂、R_{CV2})を設けている点異なる。つまり、トランジスタQ₁₁、抵抗R_{CV1}、トランジスタQ₁₂がカレントミラー回路を構成し、トランジスタQ₁₁、抵抗R_{CV2}、トランジスタQ₁₂もカレントミラー回路を構成している。上記カレント制御回路(Q₁₁、R_{CV1})、(Q₁₂、R_{CV2})は、差動対(Q₅、Q₆)の電流スイッチ動作を制御するためのものである。

【0015】なお、上段差動対(Q₁、Q₂)は、デー

タの書き込みスイッチ用差動対であり、上段差動対 (Q_1 、 Q_2) は、データの保持スイッチ用差動対であり、下段差動対 (Q_3 、 Q_4) は、クロックスイッチ用差動対であり、抵抗 R_{L1} 、 R_{L2} は、論理振幅発生用負荷抵抗である。また、エミッタフォロア (Q_5 、 Q_6 、 R_{E1} 、 R_{E2}) は、データのレベルシフト用エミッタフォロアであり、エミッタフォロア (Q_{10} 、 Q_{11}) は、クロックのレベルシフト用エミッタフォロアである。さらに、電圧 V_{DD} は、データ信号の参照電圧であり、電圧 V_{CS} は、定電流源用電圧であり、電圧 V_{S1} は、第1の負側電源電圧であり、電圧 V_{S2} は、第2の負側電源電圧である。

【0016】上記実施例においては、トランジスタ Q_{11} 、抵抗 R_{C11} 、トランジスタ Q_5 と、トランジスタ Q_{11} 、抵抗 R_{C12} 、トランジスタ Q_6 とがそれぞれカレントミラー回路を構成している。したがって、クロック Clk またはクロック Clk の反転信号がハイレベルであるときに所望の論理振幅 $V_L = R_L \times I_L$ を得るような電流 I_L が流れ、クロック Clk またはクロック Clk の反転信号がローレベルであるときには殆ど電流が流れないように、カレントミラー回路 (Q_{11} 、 R_{C11} 、 Q_5)、(Q_{11} 、 R_{C12} 、 Q_6) を設計すれば、Dラッチとして図5 (1)、(2) に示す従来例と同等の機能と動作とを得ることができる。

【0017】また、この場合、電源電圧 V_{S1} を $V_{S1T} + V_{ECS}$ 分だけ低電圧化することができる。上記実施例について、図5 (1)、(2) で説明した値を用いると、図1 (1) の場合では $V_{S1} < -2.7$ V程度が可能となり、図1 (2) の場合では $V_{S1} < -1.8$ V程度が可能となる。

【0018】上記実施例においては、ECL回路において、最も低電位側に設けられている差動対のスイッチング動作を、カレントミラー回路で制御しているが、上記ECL回路は、1段以上の縦積構成からなるものであればよい。

【0019】図2 (1)、(2) は、本発明の第2実施例を示す回路図である。

【0020】この第2実施例は、基本的には、図1

(1)、(2) に示す第1実施例と同じであるが、第1実施例に抵抗 R_{S1} 、 R_{S2} が付加されている点のみが、第1実施例とは異なる。

【0021】抵抗 R_{S1} は、トランジスタ Q_{11} のベース-エミッタ間に接続され、抵抗 R_{S2} は、トランジスタ Q_{11} のベース-エミッタ間に接続されている。これらの抵抗 R_{S1} 、 R_{S2} は、ベース蓄積電荷の放電用の抵抗であり、カレントミラー回路 (Q_{11} 、 R_{C11} 、 Q_5)、(Q_{11} 、 R_{C12} 、 Q_6) を高速動作させることができる。

【0022】図3 (1)、(2) は、本発明の第3実施

例を示す回路図である。

【0023】この実施例は、Dラッチ以外の回路に適用した場合の回路であり、図3 (1) は、AND/NAND回路を示す図であり、図3 (2) は、Exclusive-OR/NOR回路を示す図である。

【0024】この実施例においても、ECL回路の最も低電位側に設けられている差動対のスイッチング動作を、カレントミラー回路で制御している。

【0025】図4 (1)、(2) は、本発明の第4実施例を示す回路図である。

【0026】この実施例は、Dラッチ以外の回路に適用した場合の回路であり、図4 (1) は、インバーターを示す図であり、図4 (2) は、NOR回路を示す図である。この実施例では出力として、逆相の信号のみを得る場合を想定しているので、カレントミラー回路によって制御すべき差動対のうちの片方のトランジスタが省略された構成になっている。

【0027】

【発明の効果】本発明によれば、ECL回路の最下段差動対の電流スイッチ動作をカレントミラー回路によって制御するので、定電流源回路を省略でき、この定電流源回路に必要とされた電圧分だけ低電圧化が可能になり、具体的には、0.65 V以上の低電圧化が可能になるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す回路図である。

【図2】本発明の第2実施例を示す回路図である。

【図3】本発明の第3実施例を示す回路図である。

【図4】本発明の第4実施例を示す回路図である。

【図5】従来の縦積ECL回路のうちでデータラッチ回路の構成例を示す図である。

【符号の説明】

Q_1 、 Q_2 …データの書き込みスイッチ用上段差動対、

Q_3 、 Q_4 …データの保持スイッチ用上段差動対、

Q_5 、 Q_6 …クロックスイッチ用下段差動対、

R_{L1} 、 R_{L2} …論理振幅発生用負荷抵抗、

Q_7 、 R_{C11} …定電流源、

Q_8 、 Q_9 、 R_{E1} 、 R_{E2} …データのレベルシフト用エミッタフォロア、

Q_{10} 、 Q_{11} 、 R_{E3} 、 R_{E4} …クロックのレベルシフト用エミッタフォロア、

V_{DD} …データ信号の参照電圧、

V_{CS} …定電流源用電圧、

V_{S1} …第1の負側電源電圧、

V_{S2} …第2の負側電源電圧、

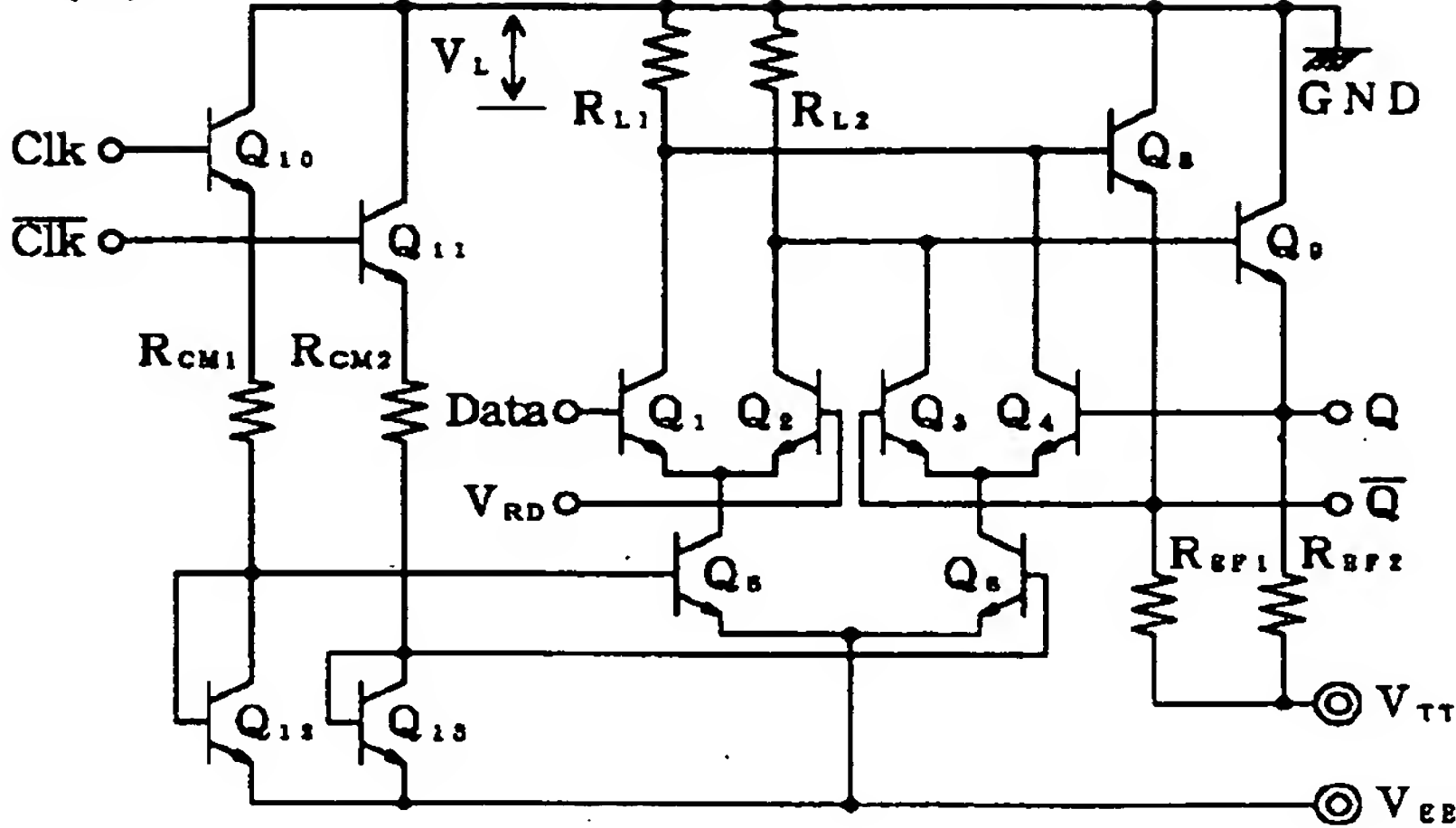
Q_{11} 、 R_{C11} …カレント制御回路、

Q_{11} 、 R_{C12} …カレント制御回路、

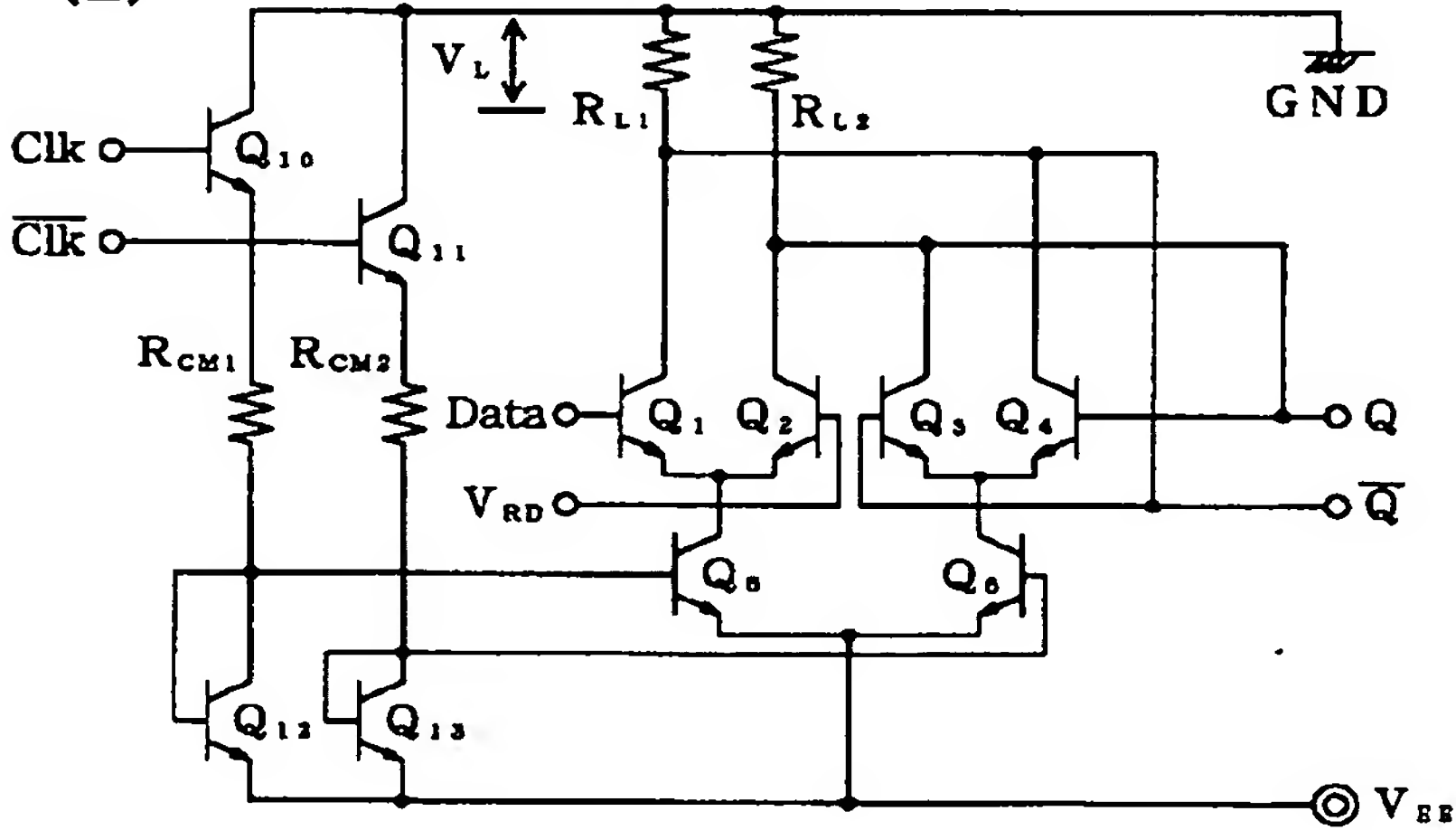
R_{S1} 、 R_{S2} …ベース蓄積電荷の放電用の抵抗。

【図 1】

(1)

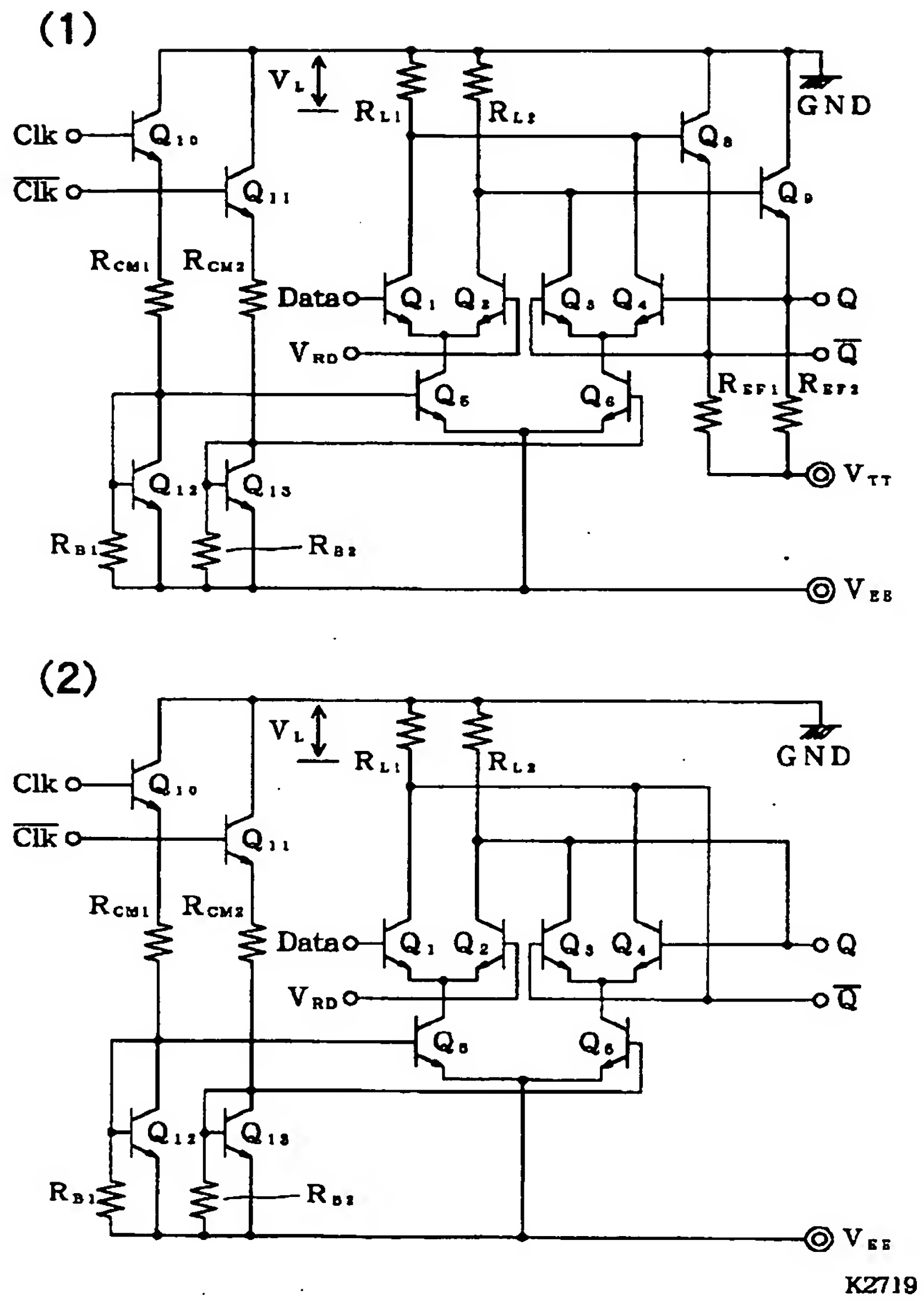


(2)

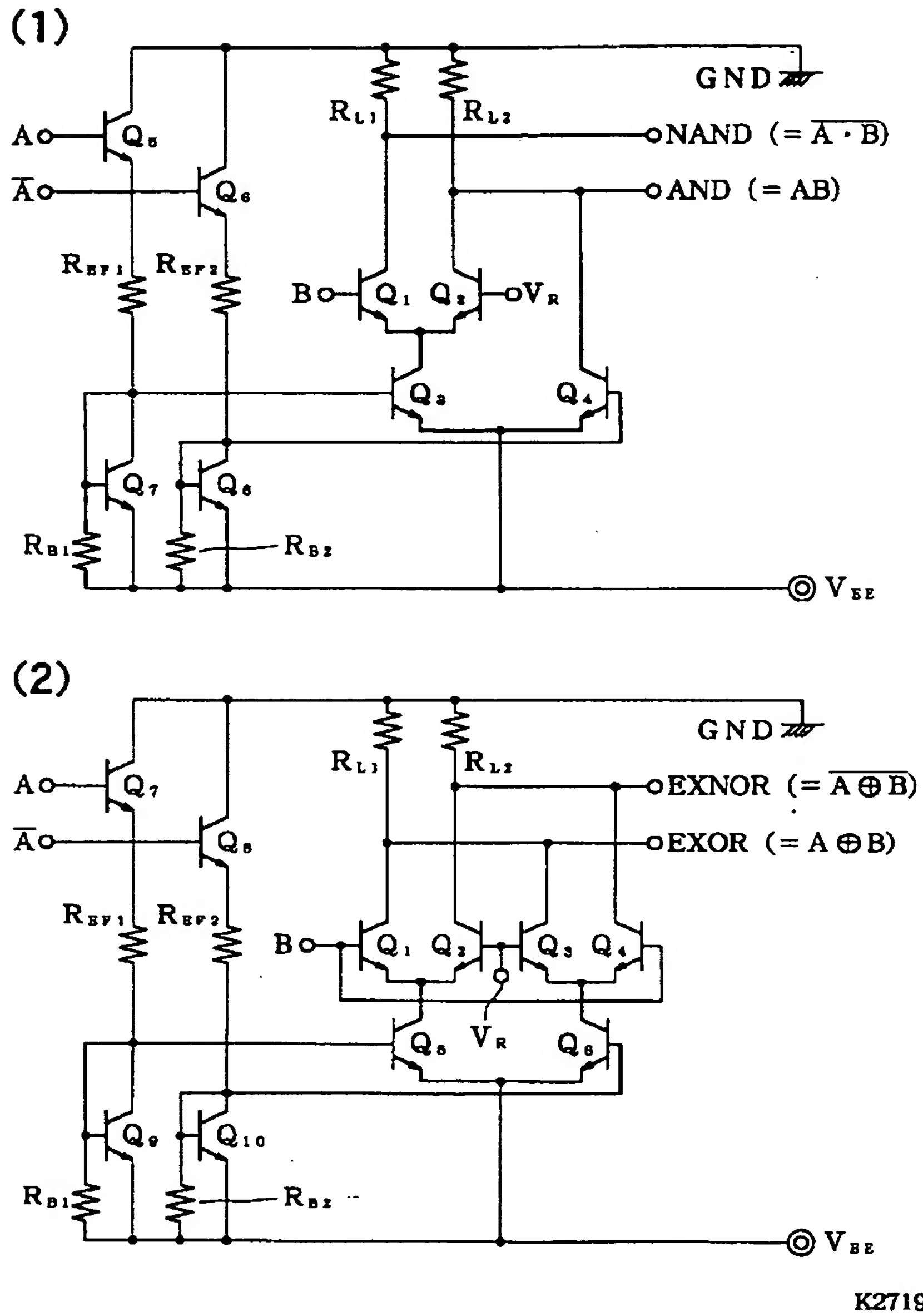


K2719

【図2】



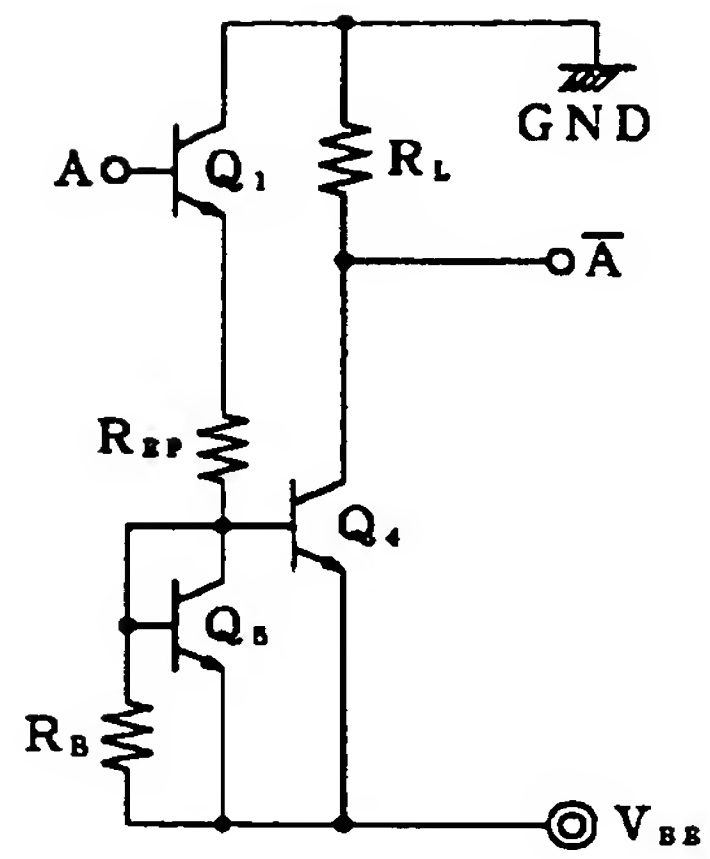
【図3】



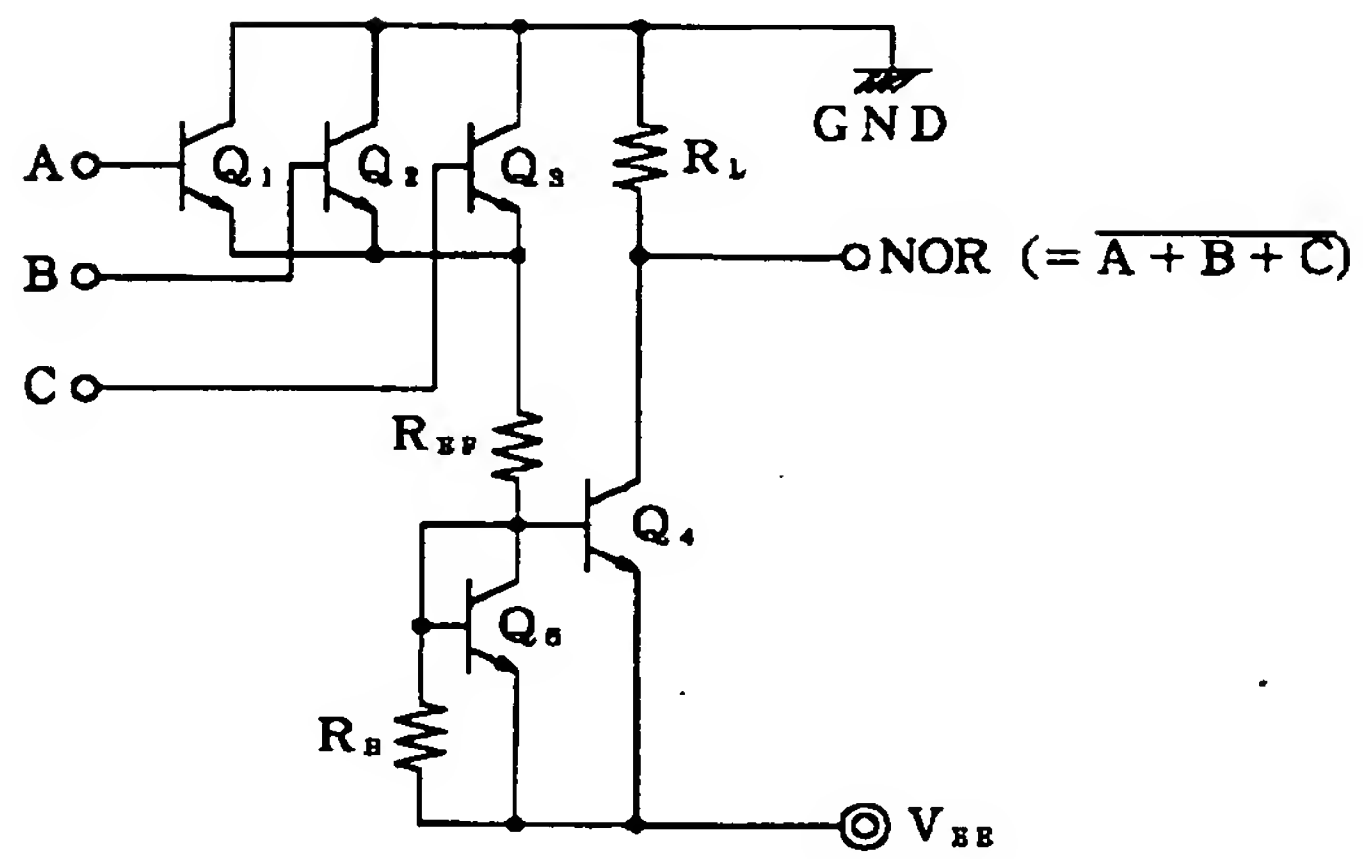
K2719

【図4】

(1)

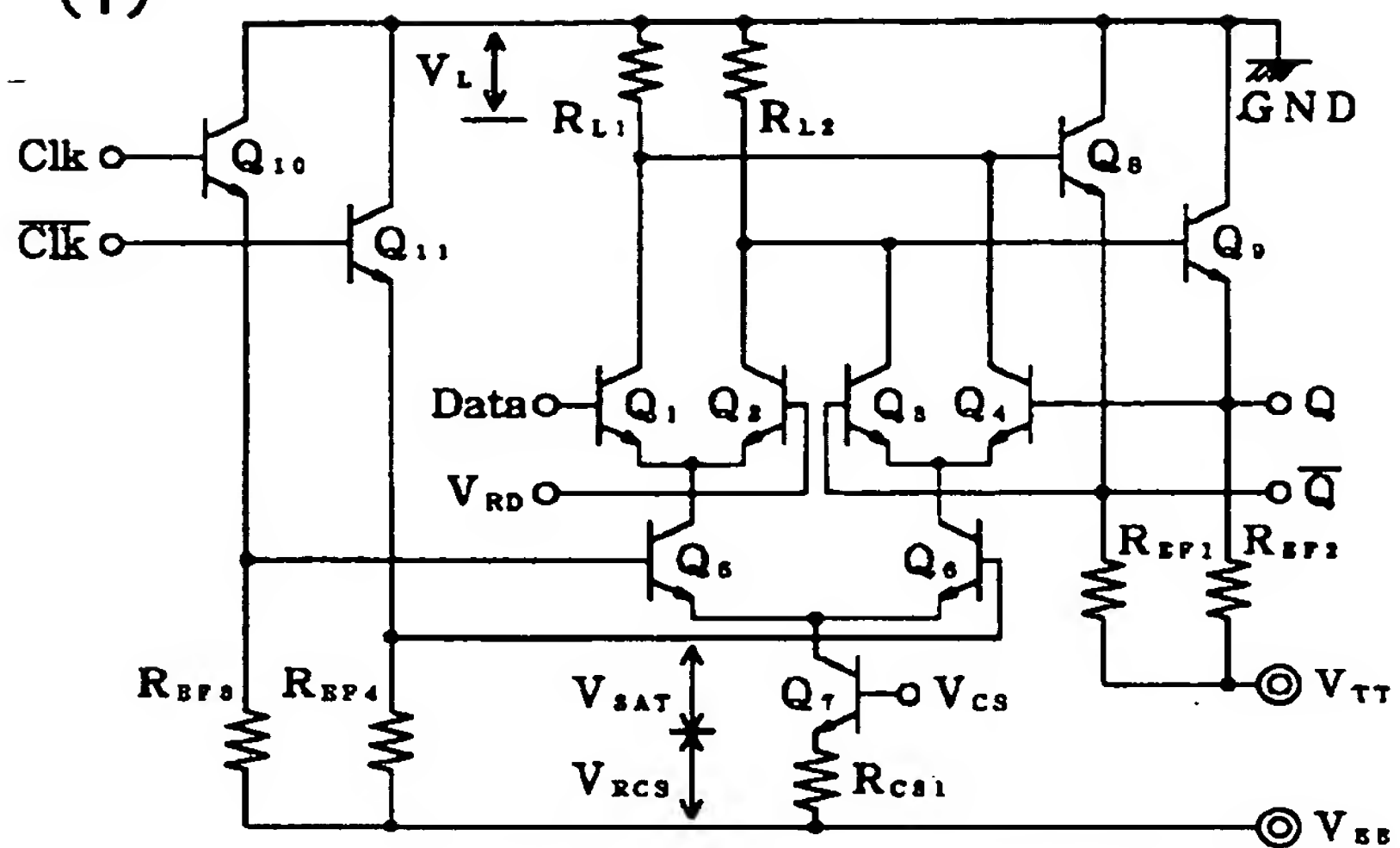


(2)

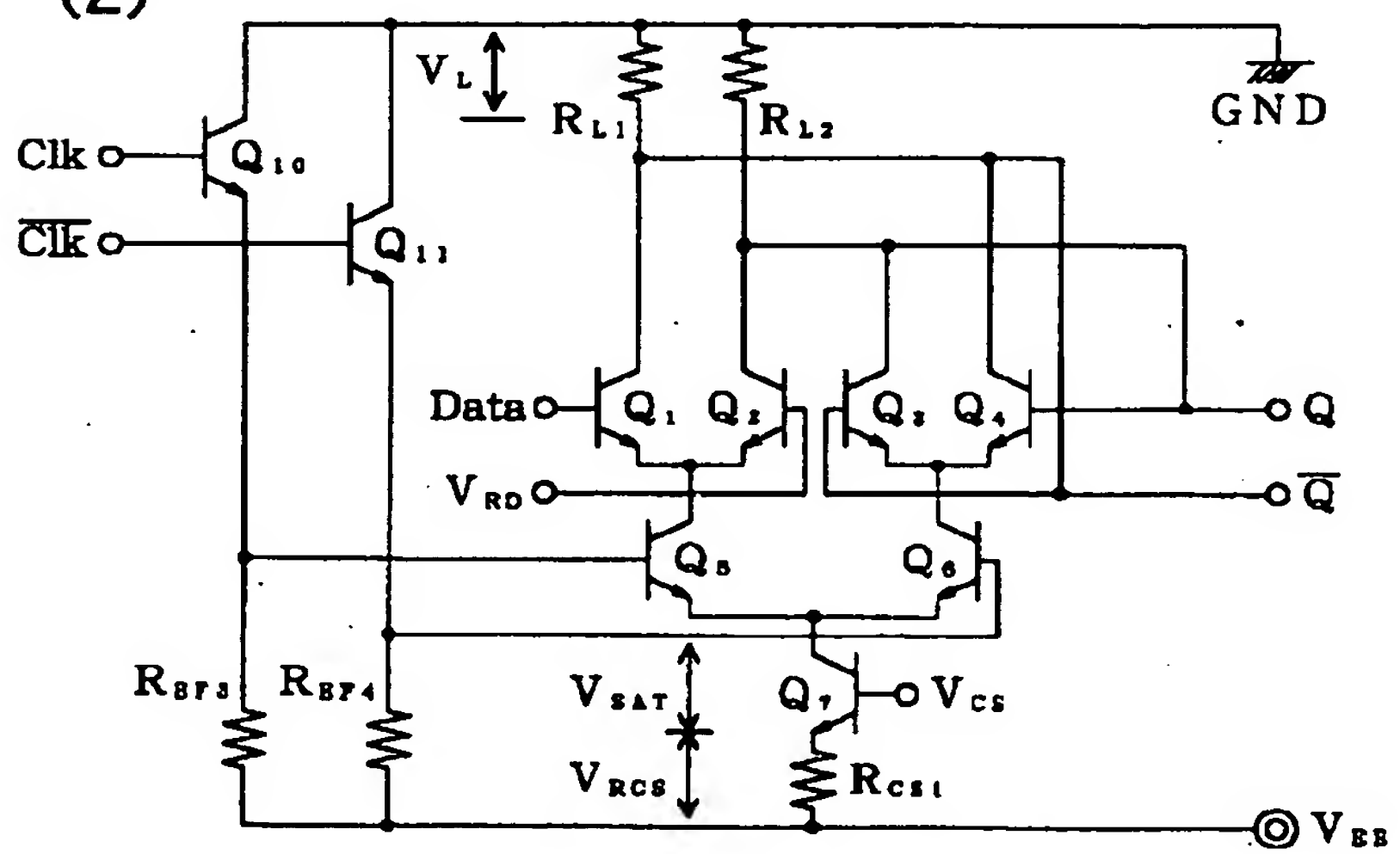


K2719

(1)



(2)



K2719